

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES  
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum  
Internationales Büro



(43) Internationales Veröffentlichungsdatum  
27. März 2003 (27.03.2003)

PCT

(10) Internationale Veröffentlichungsnummer  
WO 03/026034 A1

(51) Internationale Patentklassifikation<sup>7</sup>: H01L 51/20, 29/786

(21) Internationales Aktenzeichen: PCT/DE02/03191

(22) Internationales Anmeldedatum:  
27. August 2002 (27.08.2002)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:  
10142913.4 27. August 2001 (27.08.2001) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von  
US): HAHN-MEITNER-INSTITUT BERLIN GMBH  
[DE/DE]; Glienicker Str. 100, 14109 Berlin (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): KÖNENKAMP, Rolf  
[DE/DE]; Leuthener Strasse 6, 10828 Berlin (DE). CHEN,  
Jie [CN/DE]; Wiesbadener Str. 18, 14197 Berlin (DE).

(74) Anwalt: GEMEINSAMER PATENTSERVICE;  
Hausvogteiplatz 5-7, 10117 Berlin (DE).

(81) Bestimmungsstaaten (national): AE, AL, AM, AT, AU,  
AZ, BA, BB, BG, BR, BY, CA, CH, CN, CR, CU, CZ, DK,  
DM, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL,  
IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU,  
LV, MA, MD, MG, MK, MN, MW, MX, NO, NZ, PL, PT,  
RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA,  
UG, US, UZ, VN, YU, ZA, ZW.

(84) Bestimmungsstaaten (regional): ARIPO-Patent (GH,  
GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW),  
eurasisches Patent (AM, AZ, BY, KG, KZ, MD, RU, TJ,  
TM), europäisches Patent (AT, BE, BG, CH, CY, CZ, DE,  
DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT,  
SE, SK, TR), OAPI-Patent (BF, BJ, CF, CG, CI, CM, GA,  
GN, GQ, GW, ML, MR, NE, SN, TD, TG).

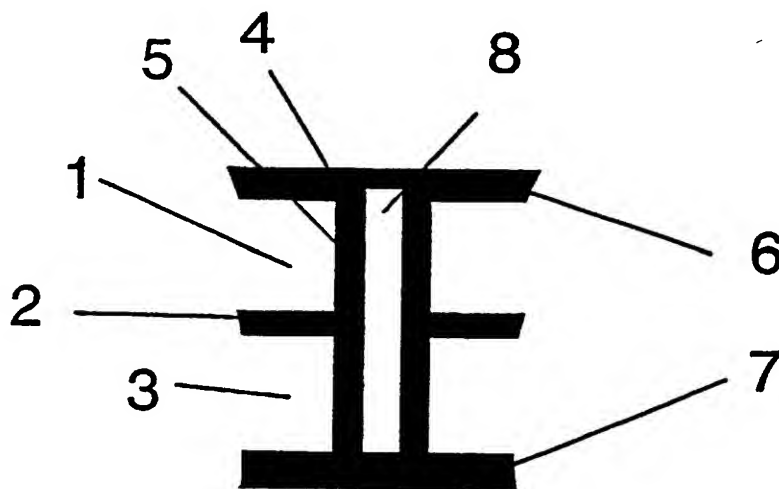
Veröffentlicht:

— mit internationalem Recherchenbericht

Zur Erklärung der Zweibuchstaben-Codes und der anderen  
Abkürzungen wird auf die Erklärungen ("Guidance Notes on  
Codes and Abbreviations") am Anfang jeder regulären Ausgabe  
der PCT-Gazette verwiesen.

(54) Title: TRANSISTOR ASSEMBLY AND METHOD FOR THE PRODUCTION THEREOF

(54) Bezeichnung: TRANSISTORANORDNUNG UND VERFAHREN ZU DEREN HERSTELLUNG



(57) Abstract: In thin-film transistors located on flexible substrates, damages to the semiconductor layers and detachments from the substrate layer easily occur due to bending, shearing or stretching. The inventive transistor assembly is designed, whereby semiconductor material is vertically introduced into microholes (4) of a film composite consisting of two plastic films (1, 3) with a metal layer (2) located therebetween. Said semiconductor material is provided with contacts (6, 7) by metallizing the top side and bottom side of the film composite. The assembly is very strong by virtue of the fact that the film can be bent and stretched.

(57) Zusammenfassung: Bei Dünnschichttransistoren auf flexiblen Substraten kommt es bei Biegung, Scherung oder

Dehnung leicht zu Verletzungen der Halbleiterschichten und Ablösungen von der Substratschicht. Die erfindungsgemäße Transistoranordnung ist so aufgebaut, dass in Mikrolöchern (4) eines Folienverbundes, bestehend aus zwei Kunststofffolien (1, 3) mit zwischenliegender Metallschicht (2), vertikal Halbleitermaterial eingebracht ist, welches durch Metallisierung der Ober- und Unterseite des Folienverbundes mit Kontakten (6, 7) versehen ist. Da die Folie biege- und dehnbar ist, ist die Anordnung sehr robust.

WO 03/026034 A1

Bezeichnung

Transistoranordnung und Verfahren zu deren Herstellung

5

Beschreibung

Die Erfindung betrifft eine Transistoranordnung und ein Verfahren zu deren Herstellung.

10

Es ist bekannt, zur Erzeugung von Dünnschichttransistoren Halbleitermaterial in planarer Anordnung auf flexible Substrate aufzubringen. Bei mechanischen Beanspruchungen der Substrate durch Biegung, Scherung oder Dehnung werden die Dünnschichttransistoren mit beansprucht, wodurch es leicht zu Verletzungen der Halbleiterschichten und Ablösungen von der Substratschicht kommt.

15

Der Erfindung liegt die Aufgabe zugrunde, eine Transistoranordnung und ein Verfahren zu deren Herstellung anzugeben, wobei ein flexibles Substrat verwendet werden soll, dessen mechanische Beanspruchung jedoch nicht zu Beeinträchtigungen der Funktion der Transistoren führt.

20

Erfindungsgemäß wird die Aufgabe gelöst durch die Merkmale der Ansprüche 1 und 8. Zweckmäßige Ausgestaltungen sind Gegenstand der Unteransprüche.

25

Danach ist die Transistoranordnung so aufgebaut, dass in Mikrolöchern eines Folienverbundes, bestehend aus zwei Kunststofffolien mit zwischenliegender Metallschicht, vertikal Halbleitermaterial eingebracht ist, welches durch Metallisierung der Ober- und Unterseite des Folienverbundes mit Kontakten versehen ist.

30

Als Mikrolöcher werden nach der Erfindung zylindrische Ionenspurkanäle genutzt, die sich durch Ionenbeschuss und nachfolgende Ätzbehandlung in Polymer- oder Polyesterfolien ausbilden. Diese Ionenspurkanäle können mit Elektrodeposition, chemischer Badabscheidung oder anderen geeigneten Verfahren mit Verbindungshalbleitern oder zunächst mit einer hohlzylindrischen Isolatorschicht und anschließend mit einem Verbindungshalbleiter aufgefüllt werden.

Der Folienverbund, in den das Halbleitermaterial eingebettet wird, wird hergestellt, indem eine Folie, z. B. durch Bedampfen, mit einer Metallschicht versehen wird und eine zweite Folie mittels Haftvermittler auf die Metallschichtseite der ersten Folie aufgeklebt wird. Anschließend erfolgt der Ionenbeschuss in einem Beschleuniger. Mit dem Ionenbeschuss bilden sich entlang der Ionenspur amorphe Kanäle in der Folie mit einem Durchmesser von wenigen Angström aus. Die erzeugten Ionenspurkanäle sind darauf sensitiviert für eine nachfolgende Ätzbehandlung, mit der sich Mikrolöcher in den Kunststofffolien bilden. Gegebenenfalls erfolgt vor der Ätzbehandlung noch eine weitere Sensitivierung mit einem chemischen Sensitivator. Das Verfahren zur Bildung von Mikrolöchern in Folien, allerdings mit einer einlagigen Folie und ohne die zwischen die Folienlagen eingebrachte Metallschicht, wird bisher zur Herstellung von Mikrofiltern und anderen Anwendungen genutzt, nicht jedoch für Transistoren.

Nach dem Ätzen der beidseitig angebrachten Polymerfolien, entfernt man die Metallfolie im Lochbereich durch einen weiteren Ätzvorgang. Die Metallschicht kann dabei gerade so weit entfernt werden, dass sie noch bis an den Ionenspurkanal in den Folien heranreicht. Die mittige Metallschicht dient in dem vorgeschlagenen Transistor als Gate-Kontakt und sollte deshalb zu dem Halbleitermaterial entweder einen Schottky-Kontakt bilden (MESFET) oder bezüglich des Halbleiters isoliert sein (MOSFET), wie das z. B. in S. M. Sze, Physics of Semiconductor Devices. Wiley, New York, 1981, S. 312 ff. u. S. 431 ff. gezeigt ist. Wenn die Materialkombination Metall/Halbleiter es zulässt,

kann man zur Bildung eines MESFET Halbleitermaterial in Elektrodeposition vom Rand der mittigen Metallschicht aus aufwachsen, sodass sich ein Schottky-Kontakt ausbildet.

- 5 Zur Herstellung eines MOSFET wird zunächst, z. B. mittels Badabscheidung, eine Isolierschicht an der Innenwandung des gesamten Kanals aufgewachsen. Eine Isolierschicht kann auch nur im Bereich der Metallschicht gebildet werden, indem diese von den Mikrolöchern aus chemisch oder elektrochemisch umgewandelt, z.B. oxidiert wird. Eine Alternative zu einer
- 10 Isolierschicht ist das Wegätzen der Metallschicht rings um das Mikroloch herum, sodass sich ein isolierender Hohlraum bildet.

- Nachdem die Mikrolöcher aus den Ionenspurkanälen vollständig ausgebildet sind, erfolgt das Einbringen des Halbleitermaterials mittels Elektrodeposition
- 15 oder chemischer Badabscheidung. Durch anschließendes Metallisieren der Ober- und Unterseite des Folienverbundes werden Source- und Drain-Kontakte gebildet. Gegebenenfalls muss bereits vor der Elektrodeposition mindestens eine Seite des Folienverbundes metallisiert werden, um eine Elektrode für die Anlage eines Potentials bei der Elektrodeposition zu haben.
- 20 Dabei lassen sich durch Strukturierung der Metallisierungsschicht mittels üblicher lithographischer Verfahren, z. B. in Matrixform, Transistoren jeweils zu Transistorverbänden zusammenfassen, die dann gemeinsam angesteuert werden können. Unterstützt werden kann die Bildung von bereichsweisen Transistoranordnungen dadurch, dass der Folienverbund auch bereits vor
- 25 dem Ionenbeschuss maskiert wird. Letztlich lassen sich auch einzelne Transistoren an einem vorbestimmten Ort herstellen, indem der Folienverbund zur Bildung von einzelnen Ionenspurkanälen mit einem gesteuerten Ionenstrahl beschossen wird.
- 30 Die zylindrische, vertikale Anordnung der Transistoren hat den Vorteil, dass sie mechanisch sehr robust ist, da die Folie biegsam oder dehnbar ist. Das organische Folienmaterial ist zudem wesentlich weicher als das anorganische

Transistormaterial. Dadurch werden auftretende Biege-, Scher- und Druckkräfte fast ganz vom Folienmaterial aufgenommen, so dass die Transistorkennlinie und andere elektrische Parameter weitgehend konstant unter Biege-, Flex- und Zugkräften sind.

5

Da die Mikrolöcher bis hinunter zu 30 nm Durchmesser hergestellt und mit Halbleitermaterial aufgefüllt werden können, lassen sich Transistoren im Nanometer-Maßstab auch ohne Lithographie und ohne Maskentechnik herstellen. Die Channel-Länge des Transistors ist durch den  
10 Raumladungsbereich des mittigen Gate-Kontaktes gegeben. Im allgemeinen ist dieser wesentlich kleiner als Dicke der Folien, die den Source-Drain-Abstand bestimmt, sodass der Transistor am besten im "Verarmungsmodus" betrieben wird, siehe DE-C 199 16 403. Aufgrund des kleinen Durchmessers und der kleinen Channel-Länge ergeben sich Möglichkeiten, den Transistor im  
15 Quanten-Regime zu betreiben.

Durch die möglichen sehr kleinen Abmessungen ergeben sich auch für die Integration in Schaltkreisen Vorteile.

20 Die Anwendungen sind vielfältig. Für Anwendungen im Display-Bereich kommt z. B. eine Folie in DIN A 4-Größe mit nahe beieinanderliegenden vertikalen Transistoren in Frage, die zu optischen Pixeln mit etwa 1000 Transistoren geordnet werden. Die Transistoren sind zwar unregelmäßig verteilt, durch die hohe Anzahl der Transistoren/Pixel kann dennoch eine  
25 exakte Ansteuerung der Pixel erfolgen. Bei einem Durchmesser der Transistoren von 150 nm und einem durchschnittlichen Abstand von 500 nm ergibt sich für 1000 Transistoren beispielsweise eine Pixelgröße von etwa  $20 \times 20 \mu\text{m}^2$ , d.h. eine durchaus gängige Größe.

30 Die Erfindung soll nachstehend anhand von Ausführungsbeispielen näher erläutert werden. In den zugehörigen Zeichnungen zeigen

Fig. 1 einen erfindungsgemäßen Transistor im Schnitt,  
Fig. 2 eine zweite Variante eines Transistors im Schnitt und  
Fig. 3 die Energiebandlücke eines erfindungsgemäßen Transistors.

- 5 Das Herstellungsverfahren soll anhand der Schnittdarstellung eines einzelnen Transistors in Fig. 1 erläutert werden. Zunächst wird eine ca. 5 µm dicke PET-Folie 1 (Polyethyleneterephthalat) einseitig mit einer Metallschicht 2 (z.B. Al, Cu, Ag) bedampft. Mittels eines Haftvermittlers wird die metallische Seite anschließend mit einer zweiten 5 µm dicken PET-Folie 3 zu einem  
10 Folienverbund verklebt.

Etwa DIN A 4 große Abschnitte werden zur Bildung von Ionenspurkanälen in einem Beschleuniger mit schnellen Ionen beschossen, vorzugsweise mit Krypton- oder Xenonionen mit einer Energie von einigen 100 MeV bei einer  
15 Dichte von etwa  $10^8/\text{cm}^2$ . Die entstandenen Ionenspurkanäle werden anschließend mit einem Sensitivator (z.B. Dimethylformamid, Pyridin, Dioxan) vorbehandelt und dann in Natronlauge (NaOH) geätzt. Je nach Ätzzeit entstehen so Mikrolöcher 4 mit einem Durchmesser zwischen 30 nm und 20 µm. Anschließend wird die mittige Metallschicht geätzt (im Fall von Al z.B.  
20 ebenfalls mit Natronlauge, im Fall von Cu mit  $\text{HNO}_3$ , etc.). Durch chemische Badabscheidung oder ein anderes Verfahren, wie in DE-C 199 16 403 gezeigt ist, werden darauf die Mikrolöcher 4 mit einer Isolierschicht 5 aus  $\text{TiO}_2$  oder einem anderen Oxid ausgekleidet.

- 25 Anschließend erfolgt elektrochemisch das Einwachsen von p-leitendem Kupferthiocyanat 8 ( $\text{CuSCN}$ ) in die Mikrolöcher 4, wobei sich die Dotierung durch Einstellen der Potentialverhältnisse verändern lässt, siehe auch C. Rost et al., Appl. Phys. Lett. 75, 692 (1999). Hierzu wird zunächst eine Seite des Folienverbundes für eine Potentialanlage mit einer Gold-Metallschicht  
30 versehen, die später einen Source-Kontakt 6 oder einen Drain-Kontakt 7 bildet. Die Elektrodeposition kann in einem normalen Potentiostaten erfolgen, wobei sich eine 0,05 molare  $\text{Cu}(\text{BF}_4)_2$ -Lösung und 0,025 molares KSCN in

Äthanol bei kathodischer Spannung von  $-(0,2 \text{ bis } 0,8) \text{ V}$  gegen eine Platin-Referenzelektrode als praktikabel erwiesen hat. Es hat sich gezeigt, dass die Bildung hexagonaler Kristalle mit  $\langle 001 \rangle$ - oder  $\langle 101 \rangle$ -Ausrichtung möglich ist.

- 5 Nach dem vollständigen Füllen der Mikrolöcher 4 mit CuSCN wird durch Bedampfen der zweiten Seite des Folienverbundes mit Platin ein Source-Kontakt 6 bzw. ein Drain-Kontakt 7 hergestellt. Die mittlere Metallschicht 2 bildet den Gate-kontakt.
- 10 Eine weitere Möglichkeit zeigt Fig. 2. Durch den Ätzfortschritt entstehen nach außen etwas keglig aufgeweitete Mikrolöcher 4, die im Gate-Bereich einen Durchmesser von ca. 100 nm haben. Die Metallschicht 2 besteht aus Aluminium. Sie wird an ihrem Rand an den herausgeätzten Mikrolöchern 4 elektrochemisch zu Aluminiumdioxid 9 oxidiert, sodass in diesem Fall keine
- 15 Isolierschicht eingebracht werden muss.

- In Fig. 3 sind die Energieverhältnisse der Elektronenleitung an einem solchen Transistor dargestellt. Das Gate verursacht eine Raumladungszone von etwa 400 nm Länge, in der sich das Potential des CuSCN verschieben lässt. Da
- 20 das CuSCN p-leitend ist, erfolgt bei positivem Gate-Potential Verarmung im Channel. Wenn die Verarmung durch die gesamte Dicke des Halbleiterzylinders hindurchreicht, tritt eine starke Verringerung der Leitfähigkeit zwischen Source und Drain ein. Bei negativem Gate-Potential erfolgt Anreicherung im Channel. Da die Channel-Länge aber gering
- 25 gegenüber dem Source-Drain Abstand ist, bleibt die Leitfähigkeitserhöhung zwischen Source und Drain gering.

Patentansprüche

1. Transistoranordnung,  
5 dadurch gekennzeichnet, dass  
in Mikrolöchern (4) eines Folienverbundes, bestehend aus zwei  
Kunststofffolien (1, 3) mit zwischenliegender Metallschicht (2), vertikal  
Halbleitermaterial eingebracht ist, welches durch Metallisierung der Ober- und  
Unterseite des Folienverbundes mit Kontakten (6, 7) versehen ist.
- 10 2. Transistoranordnung nach Anspruch 1,  
dadurch gekennzeichnet, dass  
die Folie (1, 3) eine Polymerfolie ist.
- 15 3. Transistoranordnung nach Anspruch 1,  
dadurch gekennzeichnet, dass  
die Folie (1, 3) eine Polyesterfolie ist.
4. Transistoranordnung nach Anspruch 3,  
20 dadurch gekennzeichnet, dass  
die Folie (1, 3) eine PET-Folie ist.
5. Transistoranordnung nach einem der vorhergehenden Ansprüche,  
dadurch gekennzeichnet, dass  
25 die Folie (1, 3) eine Dicke von 2 µm bis 30 µm aufweist.
6. Transistoranordnung nach einem der vorhergehenden Ansprüche,  
dadurch gekennzeichnet, dass  
die Metallschicht (2) aus Kupfer, Aluminium oder Silber besteht.
- 30 7. Transistoranordnung nach einem der vorhergehenden Ansprüche,  
dadurch gekennzeichnet, dass



das Halbleitermaterial Kupferthiocyanat ( $\text{CuSCN}$ ) (8) ist.

8. Verfahren zur Herstellung einer Transistoranordnung,  
dadurch gekennzeichnet, dass

- 5 eine Metallschicht zwischen zwei Kunststofffolien eingebettet wird, in diesen Folienverbund mittels Ionenbeschuss Ionenspurkanäle eingebracht werden, der Folienverbund nachfolgend einer Ätzbehandlung unterzogen wird, die zu Mikrolöchern herausgeätzten Ionenspurkanäle mit Halbleitermaterial aufgefüllt werden und durch Metallbeschichtung auf der Ober- und Unterseite des
- 10 Folienverbundes Source/Drain-Kontakte erzeugt werden.

9. Verfahren nach Anspruch 8,  
dadurch gekennzeichnet, dass

- 15 die Metallschicht zwischen den Kunststofffolien innerhalb der Mikrolöcher einer gesonderten Ätzbehandlung unterzogen wird.

10. Verfahren nach Anspruch 8 oder 9,

dadurch gekennzeichnet, dass

- 20 die Mikrolöcher zur Bildung von Feldeffekttransistoren mit einer Isolierschicht versehen werden.

11. Verfahren nach Anspruch 8 oder 9

dadurch gekennzeichnet, dass

- 25 die Metallschicht zur Bildung von Feldeffekttransistoren im Bereich der Mikrolöcher bis hinter den Durchmesser der Mikrolöcher weggeätzt wird.

12. Verfahren nach Anspruch 8 oder 9,

dadurch gekennzeichnet, dass

- 30 die Metallschicht zur Bildung von Feldeffekttransistoren im Bereich der Mikrolöcher elektrochemisch oxidiert wird.

13. Verfahren nach einem der Ansprüche 8 bis 12,  
dadurch gekennzeichnet, dass  
das Auffüllen der Mikrolöcher mit Halbleitermaterial mittels Elektrodeposition  
erfolgt.
- 5
14. Verfahren nach einem der Ansprüche 8 bis 12,  
dadurch gekennzeichnet, dass  
das Auffüllen der Mikrolöcher mit Halbleitermaterial mittels chemischer  
Badabscheidung erfolgt.
- 10
15. Verfahren nach einem der Ansprüche 8 bis 14,  
dadurch gekennzeichnet, dass  
mit der Ätzbehandlung der Ionenspurkanäle Mikrolöcher mit einem  
Durchmesser zwischen 30 nm und 20 µm gebildet werden.
- 15
16. Verfahren nach einem der Ansprüche 8 bis 15,  
dadurch gekennzeichnet, dass  
die Metallschicht auf eine Seite einer Kunststoffolie durch Verdampfen oder  
Sputtern aufgebracht wird.
- 20
17. Verfahren nach einem der Ansprüche 8 bis 16,  
dadurch gekennzeichnet, dass  
die mit der Metallschicht versehene Kunststoffolie und die zweite  
Kunststoffolie miteinander verklebt werden.
- 25
18. Verfahren nach einem der Ansprüche 8 bis 17,  
dadurch gekennzeichnet, dass  
das Ätzen der Ionenspurkanäle mit Natronlauge erfolgt.
- 30
19. Verfahren nach einem der Ansprüche 8 bis 18,  
dadurch gekennzeichnet, dass

beim Ionenbeschuss mit einer Ionendichte von  $10^7$  bis  $10^9/\text{cm}^2$  gearbeitet wird.

20. Verfahren nach einem der Ansprüche 8 bis 19,

- 5 dadurch gekennzeichnet, dass  
beim Ionenbeschuss mit einer Energie von mehreren 100 MeV gearbeitet wird.

21. Verfahren nach einem der Ansprüche 8 bis 20,

- 10 dadurch gekennzeichnet, dass  
der Folienverbund vor dem Ätzen der Ionenspurkanäle mit einem Sensitivator behandelt wird.

22. Verfahren nach einem der Ansprüche 8 bis 21,

- 15 dadurch gekennzeichnet, dass  
der Folienverbund vor der Metallbeschichtung seiner Ober- und Unterseite maskiert wird.

23. Verfahren nach einem der Ansprüche 8 bis 22,

- 20 dadurch gekennzeichnet, dass  
der Folienverbund vor dem Ionenbeschuss maskiert wird.

1/2

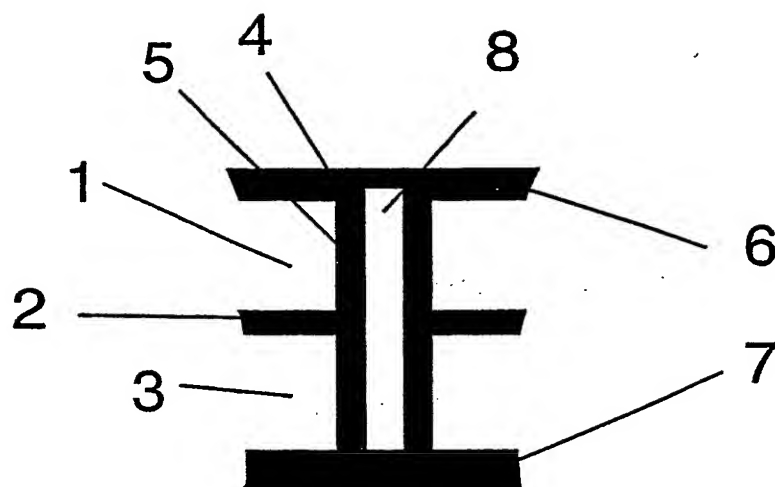


Fig. 1

2/2

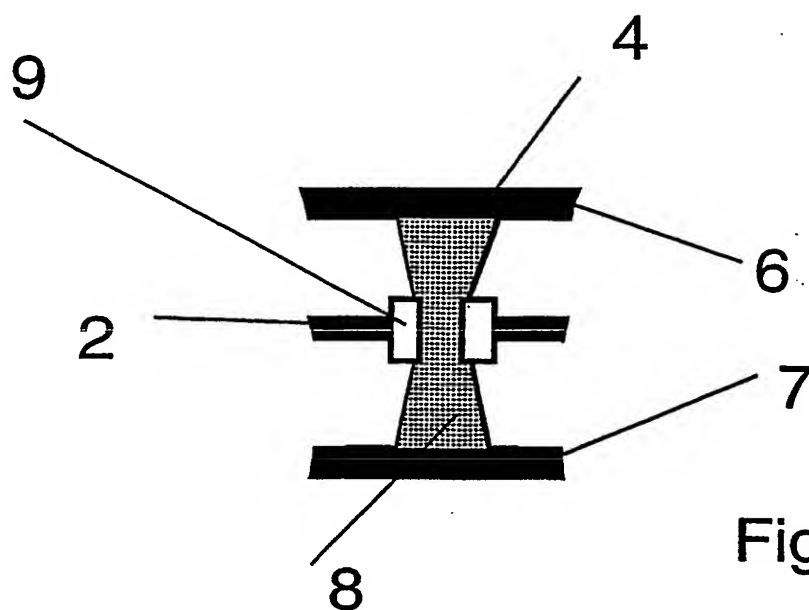


Fig. 2

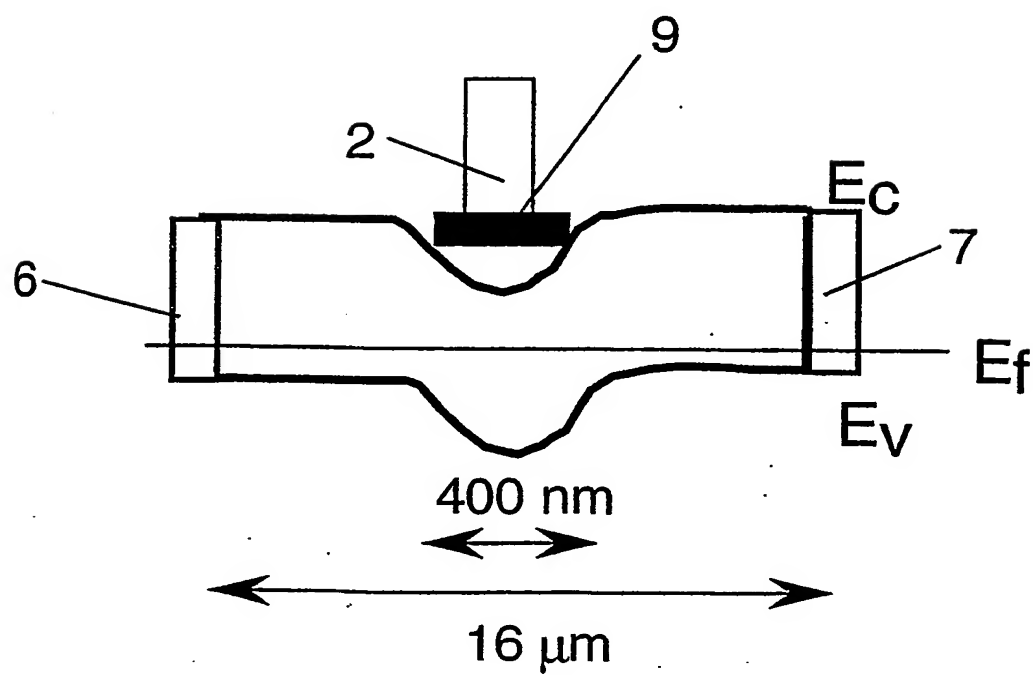


Fig. 3

## INTERNATIONAL SEARCH REPORT

Inte national Application No

PCT/ 02/03191

A. CLASSIFICATION OF SUBJECT MATTER  
IPC 7 H01L51/20 H01L29/786

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, PAJ, INSPEC, WPI Data

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5 106 778 A (HOLLIS MARK A ET AL) 21 April 1992 (1992-04-21) figure 8	1
A	KUDO K ET AL: "Device characteristics of lateral and vertical type organic field effect transistors" THIN SOLID FILMS, ELSEVIER-SEQUOIA S.A. LAUSANNE, CH, vol. 393, no. 1-2, 1 August 2001 (2001-08-01), pages 362-367, XP004296481 ISSN: 0040-6090 the whole document	

☒ Further documents are listed in the continuation of box C.☒ Patent family members are listed in annex.

## \* Special categories of cited documents:

- \*A\* document defining the general state of the art which is not considered to be of particular relevance
- \*E\* earlier document but published on or after the international filing date
- \*L\* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- \*O\* document referring to an oral disclosure, use, exhibition or other means
- \*P\* document published prior to the international filing date but later than the priority date claimed

- \*T\* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- \*X\* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- \*Y\* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- \*G\* document member of the same patent family

Date of the actual completion of the international search

22 November 2002

Date of mailing of the international search report

29/11/2002

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Authorized officer

Königstein, C

## INTERNATIONAL SEARCH REPORT

International Application No

PCT/02/03191

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	GARNIER F ET AL: "VERTICAL DEVICES ARCHITECTURE BY MOLDING OF ORGANIC-BASED THIN FILMTRANSISTOR" APPLIED PHYSICS LETTERS, AMERICAN INSTITUTE OF PHYSICS. NEW YORK, US, vol. 73, no. 12, 21 September 1998 (1998-09-21), pages 1721-1723, XP000784120 ISSN: 0003-6951 the whole document	
A	US 5 739 044 A (TERASAWA YOSHIO) 14 April 1998 (1998-04-14) the whole document	
P,A	WO 02 29912 A (SMITH PAUL ;EIDGENOESS TECH HOCHSCHULE (CH); SIRRINGHAUS HENNING ( ) 11 April 2002 (2002-04-11) figure 5	1

# INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/US 02/03191

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 5106778	A	21-04-1992	US 4903089 A	20-02-1990
			WO 8907333 A1	10-08-1989
US 5739044	A	14-04-1998	JP 2801127 B2	21-09-1998
			JP 7045815 A	14-02-1995
			AU 7238194 A	28-02-1995
			DE 69420944 D1	04-11-1999
			DE 69420944 T2	03-02-2000
			EP 0663698 A1	19-07-1995
			WO 9504375 A1	09-02-1995
			US 5591991 A	07-01-1997
WO 0229912	A	11-04-2002	AU 9208401 A	15-04-2002
			WO 0229912 A1	11-04-2002



A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES  
IPK 7 H01L51/20 H01L29/786

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

**B. RESEARCHIERTE GEBIETE**

Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)  
IPK 7 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, PAJ, INSPEC, WPI Data

**C. ALS WESENTLICH ANGESEHENE UNTERLAGEN**

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	US 5 106 778 A (HOLLIS MARK A ET AL) 21. April 1992 (1992-04-21) Abbildung 8	1
A	KUDO K ET AL: "Device characteristics of lateral and vertical type organic field effect transistors" THIN SOLID FILMS, ELSEVIER-SEQUOIA S.A. LAUSANNE, CH, Bd. 393, Nr. 1-2, 1. August 2001 (2001-08-01), Seiten 362-367, XP004296481 ISSN: 0040-6090 das ganze Dokument	



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

\* Besondere Kategorien von angegebenen Veröffentlichungen :

\*A\* Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

\*E\* Älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

\*L\* Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

\*O\* Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

\*P\* Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

\*T\* Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

\*X\* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

\*Y\* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

\*Z\* Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

22. November 2002

Absenddatum des internationalen Recherchenberichts

29/11/2002

Name und Postanschrift der Internationalen Recherchenbehörde  
Europäisches Patentamt, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Königstein, C

## C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	GARNIER F ET AL: "VERTICAL DEVICES ARCHITECTURE BY MOLDING OF ORGANIC-BASED THIN FILMTRANSISTOR" APPLIED PHYSICS LETTERS, AMERICAN INSTITUTE OF PHYSICS. NEW YORK, US, Bd. 73, Nr. 12, 21. September 1998 (1998-09-21), Seiten 1721-1723, XP000784120 ISSN: 0003-6951 das ganze Dokument -----	
A	US 5 739 044 A (TERASAWA YOSHIO) 14. April 1998 (1998-04-14) das ganze Dokument -----	
P,A	WO 02 29912 A (SMITH PAUL ;EIDGENOESS TECH HOCHSCHULE (CH); SIRRINGHAUS HENNING ()) 11. April 2002 (2002-04-11) Abbildung 5 -----	1

# INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/02/03191

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
US 5106778	A	21-04-1992	US	4903089 A	20-02-1990
			WO	8907333 A1	10-08-1989
US 5739044	A	14-04-1998	JP	2801127 B2	21-09-1998
			JP	7045815 A	14-02-1995
			AU	7238194 A	28-02-1995
			DE	69420944 D1	04-11-1999
			DE	69420944 T2	03-02-2000
			EP	0663698 A1	19-07-1995
			WO	9504375 A1	09-02-1995
			US	5591991 A	07-01-1997
WO 0229912	A	11-04-2002	AU	9208401 A	15-04-2002
			WO	0229912 A1	11-04-2002

**THIS PAGE BLANK (USPTO)**